

LAW OFFICES
SUGHRUE, MION, ZINN, MACPEAK & SEAS, PLLC

2100 PENNSYLVANIA AVENUE, N.W.
WASHINGTON, D.C. 20037-3202
TELEPHONE (202) 293-7060
FACSIMILE (202) 293-7860



#4
7-23-01

CALIFORNIA OFFICE

1010 EL CAMINO REAL
MENLO PARK, CA 94025
TELEPHONE (650) 325-5800
FACSIMILE (650) 325-6606

BOX: PATENT APPLICATION

Assistant Commissioner for Patents
Washington, D.C. 20231

September 13, 2000

JAPAN OFFICE

TOEI NISHI SHIMBASHI BLDG. 4F
13-5 NISHI SHIMBASHI 1-CHOME
MINATO-KU, TOKYO 105, JAPAN
TELEPHONE (03) 3503-3760
FACSIMILE (03) 3503-3756

Re: Application of Takakazu FUKANO, Noboru TAMURA, Noboru ASAUCHI, Masahiko YOSHIDA,
Yuichi NISHIHARA and Toshihiko KATAYAMA
DRIVING WAVEFORM GENERATOR AND METHOD OF GENERATING DRIVING WAVEFORM
Our Reference: Q59604

Dear Sir:

Attached hereto is the application identified above including the specification, claims, seventeen (17) sheets of drawings and two (2) priority documents. The requisite U.S. Government Filing Fee, executed Declaration and Power of Attorney and Assignment will be submitted at a later date.

The Government filing fee is calculated as follows:

| | | | |
|-------------------------|------------|------------|------------------|
| Total Claims | 13 - 20 = | 0 x \$18 = | \$ 000.00 |
| Independent Claims | 3 - 3 = | 0 x \$78 = | \$ 000.00 |
| Base Filing Fee | (\$690.00) | | \$ 690.00 |
| Multiple Dep. Claim Fee | (\$260.00) | | \$ 000.00 |
| TOTAL FILING FEE | | | \$ 690.00 |

Priority is claimed from:

Japanese Patent Application

11-259813
11-259816

Filing Date

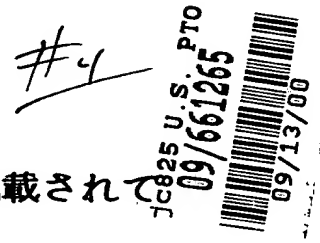
September 14, 1999
September 14, 1999

Respectfully submitted,
SUGHRUE, MION, ZINN, MACPEAK & SEAS
Attorneys for Applicant(s)

By: Darryl Mexic
Darryl Mexic
Reg. No. 23,063

DM:sib

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 1 9 9 9 年 9 月 1 4 日

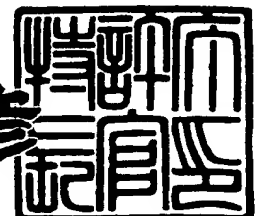
出 願 番 号
Application Number: 平成 1 1 年 特 許 願 第 2 5 9 8 1 3 号

出 願 人
Applicant (s): セイコーエプソン株式会社

2 0 0 0 年 6 月 9 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特 2 0 0 0 - 3 0 4 3 0 7 9

【書類名】 特許願

【整理番号】 PA04C918

【提出日】 平成11年 9月14日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 B41J 2/21

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 深野 孝和

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 吉田 昌彦

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 朝内 昇

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 田村 登

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 片山 敏彦

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100096817

【弁理士】

【氏名又は名称】 五十嵐 孝雄

【電話番号】 052-218-5061

【選任した代理人】

【識別番号】 100097146

【弁理士】

【氏名又は名称】 下出 隆史

【選任した代理人】

【識別番号】 100102750

【弁理士】

【氏名又は名称】 市川 浩

【選任した代理人】

【識別番号】 100109759

【弁理士】

【氏名又は名称】 加藤 光宏

【手数料の表示】

【予納台帳番号】 007847

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9502061

【包括委任状番号】 9904030

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 印刷装置および駆動波形生成装置、駆動波形生成方法

【特許請求の範囲】

【請求項 1】 印刷すべき画像の印刷信号に基づいて、記録媒体上に画像を記録する印刷装置であって、

複数のノズルと前記複数のノズルを駆動してインク滴を吐出させるための複数の駆動素子とを有する印刷ヘッドと、

前記複数の駆動素子に伝送される駆動波形を生成する駆動波形生成回路と、
を備え、

前記駆動波形生成回路は、

前記駆動波形を生成するための複数の駆動波形データを記憶するためのメモリと、

前記メモリからそれぞれ所定の読出しタイミングで 1 つずつ順次読み出された前記駆動波形データを、一定の累算周期毎に順次累算していく累算部と、

前記累算部で得られた複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換してアナログ信号として出力するデジタル／アナログ変換器と、

前記累算部における前記複数ビットの累算結果を、所定の設定タイミングにおいて前記特定の上位ビットで表される値がゼロではなく、前記特定の上位ビット以外の下位ビットがすべてゼロになるような所定の設定値に設定する制御部と、
を備える印刷装置。

【請求項 2】 請求項 1 記載の印刷装置であって、

前記制御部は、前記特定の上位ビット以外の下位ビットをクリアすることによって、前記累算結果を前記所定の設定値に設定する印刷装置。

【請求項 3】 請求項 1 または 2 記載の印刷装置であって、

前記所定の設定タイミングは、前記駆動波形の 1 周期の始端と終端に相当するタイミングであり、

前記駆動波形は、1 周期の始端と終端における電位が一致する周期的な波形で

ある

印刷装置。

【請求項 4】 駆動素子を駆動させるための駆動波形を生成する駆動波形生成装置であって、

前記駆動波形を生成するための複数の駆動波形データを記憶するためのメモリと、

前記メモリからそれぞれ所定のタイミングで 1 つずつ順次読み出された前記駆動波形データを、一定の累算周期毎に順次累算していく累算部と、

前記累算部で得られた複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換してアナログ信号として出力するデジタル／アナログ変換器と、

前記累算部における前記複数ビットの累算結果を、所定の設定タイミングにおいて前記特定の上位ビットで表される値がゼロではなく、前記特定の上位ビット以外の下位ビットがすべてゼロになるような所定の設定値に設定する制御部と、
を備える駆動波形生成装置。

【請求項 5】 請求項 4 記載の駆動波形生成装置であって、

前記制御部は、前記特定の上位ビット以外の下位ビットをクリアすることによって、前記累算結果を前記所定の設定値に設定する
駆動波形生成装置。

【請求項 6】 請求項 4 または 5 記載の駆動波形生成装置であって、

前記所定の設定タイミングは、前記駆動波形の 1 周期の始端と終端に相当するタイミングであり、

前記駆動波形は、1 周期の始端と終端における電位が一致する周期的な波形である

駆動波形生成装置。

【請求項 7】 駆動素子を駆動させるための駆動波形生成方法であって、

(a) 前記駆動波形を生成するための複数の駆動波形データを、それぞれ所定のタイミングで 1 つずつ順次選択する工程と、

(b) 前記選択された駆動波形データを、一定の累算周期毎に順次累算する工

程と、

(c) 前記複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換する工程と、

(d) 前記複数ビットの累算結果を、所定の設定タイミングにおいて前記特定の上位ビットで表される値がゼロではなく、前記特定の上位ビット以外の下位ビットがすべてゼロになるような所定の設定値に設定する工程と、

を備える駆動波形生成方法。

【請求項 8】 請求項 7 記載の駆動波形生成方法であって、

前記工程 (d) は、前記特定の上位ビット以外の下位ビットをクリアすることによって、前記累算結果を前記所定の設定値に設定する工程を含む

駆動波形生成方法。

【請求項 9】 請求項 7 または 8 記載の駆動波形生成方法であって、

前記所定の設定タイミングは、前記駆動波形の 1 周期の始端と終端に相当するタイミングであり、

前記駆動波形は、1 周期の始端と終端における電位が一致する周期的な波形である

駆動波形生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、駆動素子を動作させるための駆動波形を生成する技術に関する。

【0002】

【従来の技術】

近年、コンピュータの出力装置として、数色のインクをインクヘッドから吐出するタイプのカラープリンタが普及し、コンピュータ等が処理した画像を多色多階調で印刷するのに広く用いられている。そして、多階調の印刷を実現するために、記録ヘッドのノズルから吐出されるインク滴の重量を制御し、印刷媒体上に形成されるインクドットの大きさを制御することが行われている。

【0003】

従来、インクジェット式プリンタにおいては、インクドットを形成するか否かの2値化を行い、一定面積中のいくつかの画素にインクドットを形成するかにより印刷画像の中間調を表現するのが一般的であった。しかし、最近では、濃淡のインクを用いて一画素に複数の異なる大きさのインクドットを形成することにより、印刷画像の中間調をより多階調で表現することが可能となっている。

【0004】

例えば、 piezo素子を用いたインクジェットプリンタでは、大きさの異なるインクドットを形成するためには、記録ヘッドのノズル開口部におけるメニスカス（ノズル開口部におけるインクの表面形状）の制御やインク滴の吐出のタイミングの制御が重要である。したがって、所望のインクドットを形成するために、記録ヘッドの piezo素子を動作させる駆動波形を、形成するインクドットの大きさに応じて変化させることが行われている。

【0005】

piezo素子を動作させる駆動波形は、予め任意の時間での駆動電圧の絶対値を全てメモリに記憶しておく方法や、 piezo素子がコンデンサを形成することを利用して抵抗値の異なる抵抗を piezo素子との間でスイッチングする方法により制御されてきた。しかし、前者の場合は駆動波形を記憶しておくためにメモリを多く必要とし、後者の場合は複雑なタイミングのパルス信号を必要とする問題がある。

【0006】

これらの問題点を解決するために、駆動波形の任意の時間での電圧の変化量を決め、その値を加算器により順次加算していくことによりプログラマブルに駆動波形を得る方法等が提案されている。

【0007】

図8は、駆動波形を生成するための従来の駆動波形生成回路100の内部構成を示すブロック図である。図9は、図8に示した駆動波形生成回路100において駆動波形を生成していく過程を示す説明図である。図8に示す駆動波形生成回路100は、メモリ102と、累算部104と、デジタル／アナログ変換器104とを備えている。メモリ102には、駆動信号COMの波形を示す駆動波形デ

ータが格納されている。図 9 (a) に示したように、メモリ 1 0 2 から読み出された駆動波形データ $\Delta V 1$, $\Delta V 2$, $\Delta V 3$ は、累算部 1 0 4 においてクロック信号 CLK に同期して順次累算されていく。ここで、駆動波形データとは、クロック信号 CLK の 1 周期 t 当たりの駆動電圧の変化量を表すデータである。この 1 8 ビットの累算結果のうち上位 1 0 ビットがデジタル／アナログ変換器 1 0 6 でデジタル／アナログ変換されることによって、駆動信号 COM が生成される。

【0 0 0 8】

【発明が解決しようとする課題】

図 9 の方法において、1 画素区間にわたって駆動波形データ $\Delta V 1$, $\Delta V 2$, $\Delta V 3$, … を累算した値がゼロになれば、駆動波形の始端と終端のレベルは完全に一致する。しかし、実際には、1 画素区間にわたる駆動波形データの累算値がゼロにならないことも多い。この理由は、駆動波形データを設定する際に演算誤差が生じるからである。例えば、第 1 の駆動波形データ $\Delta V 1$ は、その累算期間 $8 t$ における電圧変化の設計値 $\delta 1$ を、その期間 $8 t$ における累算周期の数（即ち 8）で除算することによって決定される。この除算が割り切れないときには、駆動波形データ $\Delta V 1$ は、丸め誤差を含むことになる。この丸め誤差が、1 画素区間の終端における累算値の誤差の原因である。このような誤差はデジタル／アナログ変換の対象とならない下位ビットのビット数を増加させれば減少し、上位ビットに関しては、誤差を 0 とすることは可能である。しかし、下位ビットに関しては、累算誤差をゼロにすることは困難である。

【0 0 0 9】

従来の駆動波形生成装置では、このような誤差が 1 画素区間毎に順次蓄積されてゆき、所望の駆動波形からずれた波形が生成されてしまうという問題があった。すなわち、例えば、図 1 0 (a) に示した周期 T の駆動波形を得ようとする場合に、図 1 0 (b) に示したように、誤差 $e 1$ が 1 周期毎に累積されて、駆動波形の始端電位がずれてゆき、所望の駆動波形からずれてしまうという問題があった。

【0 0 1 0】

本発明は、上記の問題を解決することを目的としてなされたものであり、駆動

波形の生成過程において駆動波形データを累算する際に、誤差が累積されるのを防止することを目的とする。

【0 0 1 1】

【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明は、駆動波形を生成するための複数の駆動波形データを順次累算し、累算された複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換してアナログ信号として出力する。この際、複数ビットの累算結果を、所定の設定タイミングにおいて特定の上位ビットで表される値がゼロではなく、特定の上位ビット以外の下位ビットがすべてゼロになるような所定の設定値に設定する。こうすることにより、駆動波形データの誤差の累積がなくなり、所望の駆動波形を生成することができる。

【0 0 1 2】

なお、特定の上位ビット以外の下位ビットをクリアすることによって、累算結果を所定の設定値に設定してもよい。

【0 0 1 3】

また、所定の設定タイミングは、駆動波形の 1 周期の始端と終端に相当するタイミングであり、駆動波形は、1 周期の始端と終端における電位が一致する周期的な波形としてもよい。こうすることにより、一連の駆動素子の動作毎に駆動電圧の誤差をクリアすることができ、連続した周期的な所望の駆動波形を生成することができる。

【0 0 1 4】

なお、本発明は、印刷装置、駆動波形生成装置、駆動波形生成方法等の種々の形態で実現することが可能である。

【0 0 1 5】

【発明の実施の形態】

本発明の実施の形態について、実施例に基づき以下の順で説明する。

A. 印刷装置の全体構成：

B. 駆動波形生成装置の構成と動作：

B-1. 駆動波形生成装置の内部構成：

B-2. 駆動波形の生成方法：

B-3. 変形例：

【0016】

A. 印刷装置の全体構成：

図1は、本発明の印刷装置の全体構成を示すブロック図である。図1に示すように、印刷装置は、コンピュータ90と、制御回路40と、紙送りモータ23と、主走査を行うキャリッジモータ24と、記録ヘッド50と、を備えている。

【0017】

コンピュータ90では、所定のオペレーティングシステムの下で、アプリケーションプログラムが動作している。オペレーティングシステムには、ビデオドライバやプリンタドライバが組み込まれており、ディスプレイに画像を表示したり、種々の画像処理が行われる。

【0018】

制御回路40は、コンピュータ90からの印刷信号等を受け取るインタフェース41と、各種データの記憶を行うRAM42と、各種データ処理のためのルーチン等を記憶したROM43と、発振回路44と、CPU等からなる制御部45と、駆動波形生成回路46と、紙送りモータ23やキャリッジモータ24や記録ヘッド50に印刷信号や駆動信号を送るためのインタフェース47と、を備えている。

【0019】

RAM42は、受信バッファ42Aや中間バッファ42Bあるいは出力バッファ42Cとして利用される。コンピュータ90からの印刷信号は、インタフェース41を介して受信バッファ42Aに蓄えられる。このデータは、中間コードに変換されて中間バッファ42Bに蓄えられる。そして、ROM43内のフォントデータやグラフィック関数等を参照して制御部45により必要な処理が行われ、ドットパターンデータが展開され、出力バッファ42Cに記憶される。ドットパターンデータは、インタフェース47を介して記録ヘッド50に送られる。

【0020】

図2は、記録ヘッド50の電氣的な構成を示すブロック図である。記録ヘッド

50は、ノズルの数に対応した複数のシフトレジスタ51A～51Nと、複数のラッチ回路52A～52Nと、複数のレベルシフタ53A～53Nと、複数のスイッチ回路54A～54Nと、複数のピエゾ素子55A～55Nと、を備えている。印刷信号SIは、発振回路44からのクロック信号CLKに同期してシフトレジスタ51A～51Nに入力される。そして、ラッチ信号LATに同期してラッチ回路52A～52Nにラッチされる。ラッチされた印刷信号SIは、レベルシフタ53A～53Nによりスイッチ回路54A～54Nを駆動できる電圧まで増幅され、スイッチ回路54A～54Nに供給される。スイッチ回路54A～54Nの入力側には、駆動波形生成回路46からの駆動信号COMが入力され、出力側にはピエゾ素子55A～55Nが接続されている。

【0021】

スイッチ回路54A～54Nは、例えば、印刷信号SIが「1」の場合は駆動信号COMをピエゾ素子55A～55Nに供給して動作させ、「0」の場合は遮断して動作させない。ピエゾ素子は、周知のように、電圧の印加により結晶構造が歪み、電気－機械エネルギーの変換を極めて高速に行う素子である。図示しないが、駆動信号COMがピエゾ素子55A～55Nに供給されると、それに応じてピエゾ素子55A～55Nは変形し、インク室の壁も変形する。これによりノズルからのインク滴の吐出を制御する。吐出されたインク滴が印刷媒体に付着することにより印刷が行われる。

【0022】

B. 駆動波形生成装置の構成と動作：

B-1. 駆動波形生成装置の内部構成：

図3は、駆動波形生成回路46の内部構成を示すブロック図である。駆動波形生成回路46は、制御部45から与えられる駆動波形データを記憶するメモリ60と、メモリ60から読み出された駆動波形データを一時的に保持する第1ラッチ62と、第1ラッチ62の出力と後述する第2ラッチ66の出力とを加算する加算器64と、第2ラッチ66と、第2ラッチ66の出力をアナログ信号に変換するデジタル／アナログ変換器70と、を備えている。また変換されたアナログ信号をピエゾ素子が動作する電圧まで増幅する電圧増幅部72と、増幅された電

圧信号に対応した電流供給を行うための電流増幅部 74 も備えている。加算器 64 と第 2 ラッチ 66 とは、駆動波形データを累算する累算部 68 を構成する。駆動波形生成回路 46 には、制御部 45 から種々の信号が供給される。即ち、メモリ 60 には、第 1 のクロック信号 CLK1 と、駆動波形データを表すデータ信号と、アドレス信号 A0～A3 と、イネーブル信号とが供給されている。また、第 1 ラッチ 62 には、第 2 のクロック信号 CLK2 と、リセット信号 RESET とが供給されている。第 2 ラッチ 66 には、第 3 のクロック信号 CLK3 と、リセット信号 RESET と、後述するフロア信号 FLOOR とが供給されている。第 1 と第 2 ラッチ 62、66 に供給されるリセット信号 RESET は、同じものである。なお、この駆動波形生成回路 46 は、図 1 に示した制御部 45、RAM42 および ROM43 とともに駆動波形生成装置として機能する。

【0023】

B-2. 駆動波形の生成方法：

図 4 は、メモリ 60 内に駆動波形データを書きこむタイミングを示すタイミングチャートである。駆動波形 COM の生成に先立って、駆動波形データを表すデータ信号と、そのデータ信号のアドレスとが、第 1 のクロック信号 CLK1 に同期して、制御部 45 からメモリ 60 に供給される。データ信号は 1 ビットであるが、図 4 に示したように、第 1 のクロック信号 CLK1 を同期信号とするシリアル転送によって、駆動波形データが 1 ビットずつ転送される。即ち、制御部 45 からメモリ 60 へ駆動波形データを転送する場合には、まず、第 1 のクロック信号 CLK1 に同期してデータ信号を複数ビット分供給する。その後、このデータを格納するための書きこみアドレスを表すアドレス信号 A0～A3 と、イネーブル信号とを供給する。メモリ 60 は、このイネーブル信号が供給されたタイミングでアドレス信号を読み取り、受け取った駆動波形データをそのアドレスに書きこむ。アドレス信号 A0～A3 は 4 ビットなので、最大 16 種類の駆動波形データをメモリ 60 に記憶しておくことができる。

【0024】

図 5 は、駆動波形生成回路 46 において駆動波形を生成していく過程を示す説明図である。メモリ 60 内への駆動波形データの書きこみが終了した後、読出し

アドレスBがアドレス信号A0～A3として出力されると、メモリ60から最初の駆動波形データ $\Delta V1$ が出力される。その後、第2のクロック信号CLK2のパルスが発生すると、この駆動波形データ $\Delta V1$ が第1ラッチ62に保持される。この状態で、次に第3のクロック信号CLK3のパルスが発生すると、第2ラッチ66の18ビットの出力と、第1ラッチ62の16ビットの出力とが加算器64により加算され、その加算結果が第2ラッチ66に保持される。即ち、図5に示したように、一旦、アドレス信号に対応した駆動波形データが選択されると、その後、第3のクロック信号CLK3を受けるたびに、第2ラッチ66の出力には、その駆動波形データの値が累算されていく。

【0025】

図5に示した例では、アドレスBには、第3のクロック信号CLK3の1周期t当たりの電圧を $\Delta V1$ だけ上昇させることを示す駆動波形データが格納されている。従って、第2のクロック信号CLK2によりアドレスBが有効になると、 $\Delta V1$ ずつ電圧が上昇していくことになる。また、アドレスAには、駆動波形データとして $\Delta V2=0$ 、即ち、電圧を保持することを示す値が格納されている。従って、第2のクロック信号CLK2によりアドレスAが有効になると、駆動信号の波形は、増減のないフラットな状態に保たれる。また、アドレスCには、第3のクロック信号CLK3の1周期t当たりの電圧を $\Delta V3$ だけ低下させることを示す駆動波形データが格納されている。従って、第2のクロック信号CLK2によりアドレスCが有効になった後は、 $\Delta V3$ ずつ電圧が低下していくことになる。なお、増加か減少かは、各アドレスに格納されたデータの符号により決定される。

【0026】

こうして、加算器64により加算された18ビットの加算結果のうち、上位10ビットの電圧レベルデータ D_0 は、デジタル／アナログ変換器70に入力される。また、18ビットの加算結果全体は、加算器64に再入力される。この結果、第2ラッチ66から出力される電圧レベルデータ D_0 は、図5(a)に示したように段階的に変化する。この電圧レベルデータ D_0 は、デジタル／アナログ変換器70により変換され、図5(b)に示した駆動波形が形成される。

【0027】

図6は、第2ラッチ66の下位8ビットをクリアするタイミングを示すタイミングチャートである。ここでは、1画素区間の周期T毎に、同一の駆動波形が繰り返されるものとしている。1画素区間の始端と終端における電圧レベルデータ D_0 の値VM（以下、「始端レベル」と呼ぶ）は、ゼロでない所定の値を有している。1画素区間の始端と終端は、制御部45内で生成される印刷タイミング信号PTSによって規定されている。印刷タイミング信号PTSは、各画素位置にインクドットを形成する際に、駆動波形の出力の開始を指示する信号である。フロア信号FLOORは、第2ラッチ66の下位8ビットをクリアするタイミング t_0 を指示する信号である。フロア信号FLOORが制御部45から第2ラッチ66に入力されると、第2ラッチ66の下位8ビットのみがクリアされ、上位10ビットは始端レベルVMに維持される。本実施例では、フロア信号FLOORは、印刷タイミング信号PTSと同じタイミング、すなわち、駆動波形の1周期毎に入力される。この場合は、印刷タイミング信号PTSをフロア信号FLOORとして用いてもよい。また、このタイミングはこれに限定されるものではなく、例えば、第2ラッチ66から出力される電圧レベルデータ D_0 がVMになるタイミング t_0 、 t_1 等、予め出力値が分かっているタイミングでフロア信号FLOORを入力して、下位8ビットをクリアしてもよい。

【0028】

本実施例によれば、駆動波形データの誤差を所定のタイミングでクリアするため、駆動波形データの誤差の累積を防止し、容易に所望の複雑なプロファイルの駆動波形を得ることができる。

【0029】

B-3. 変形例：

図7は、図3の駆動波形生成回路46の累算部68の変形例（累算部68a）を示すブロック図である。加算器64の前段および第2ラッチ66の後段は、前述した実施例の駆動波形生成回路と同様であるので説明は省略する。本変形例では、加算器64と第2ラッチ66の間にセレクタ67が設けられている。また、セレクタ67には、データレジスタ65が接続されている。

【 0 0 3 0 】

データレジスタ 6 5 に設定されている 1 8 ビットの設定値のうち、上位 1 0 ビットは、駆動波形の始端レベル VM に等しく、また、下位 8 ビットはゼロである。フロア信号 FLOOR が第 2 ラッチ 6 6 およびセクタ 6 7 に入力されると、セクタ 6 7 がデータレジスタ 6 5 の 1 8 ビットのデータを選択して出力し、第 2 ラッチ 6 6 がこのデータを保持する。この結果、第 2 ラッチ 6 6 に記憶されている 1 8 ビットのデータは、上位 1 0 ビットが始端レベル VM に等しく、下位 8 ビットがゼロである設定値に強制的に書き換えられる。

【 0 0 3 1 】

このように、累算部 6 8 a における累算結果を所定のタイミングで所定の設定値に再設定するようにすれば、駆動波形データの誤差が累積されるのを防止し、容易に所望の複雑なプロファイルの駆動波形を得ることができる。

【 0 0 3 2 】

なお、前述した第 1 実施例の回路においては、フロア信号 FLOOR に応じて、下位ビットをクリアすることによって、累算結果が所定の設定値、即ち、始端レベル VM に設定されていてものと考えることができる。このように、本明細書において、「累算結果を所定の設定値に設定する」という文言は、累算結果を所定の設定値に強制的に設定する場合に限らず、第 1 実施例のように、下位ビットのみをクリアすることによって実質的に累算結果を所定の設定値に設定するような場合も含む広い意味を有している。

【 0 0 3 3 】

以上、本発明のいくつかの実施の形態について説明したが、本発明はこのような実施の形態になんら限定されるものではなく、その要旨を逸脱しない範囲内において種々なる態様での実施が可能である。本発明の駆動波形生成装置および駆動波形生成方法は、実施の形態に示した印刷装置に用いられるだけでなく、その他のアクチュエータ等を駆動する駆動波形生成装置、駆動波形生成方法としても適用できる。

【図面の簡単な説明】

【図 1】

本発明の印刷装置の全体構成を示すブロック図である。

【図 2】

記録ヘッドの電氣的な構成を示すブロック図である。

【図 3】

本発明の駆動波形生成回路の内部構成を示すブロック図である。

【図 4】

メモリ内に駆動波形データを書きこむタイミングを示すタイミングチャートである。

【図 5】

駆動波形を生成していく過程を説明する説明図である。

【図 6】

本発明の駆動波形生成方法におけるフロア信号を入力するタイミングを説明する説明図である。

【図 7】

本発明の駆動波形生成回路の累算部の変形例を示すブロック図である。

【図 8】

従来の駆動波形生成回路の内部構成を示すブロック図である。

【図 9】

駆動波形を生成していく過程を説明する説明図である。

【図 1 0】

駆動波形の生成過程における誤差の累積を説明する説明図である。

【符号の説明】

2 3 …紙送りモータ

2 4 …キャリッジモータ

4 0 …制御回路

4 1 …インタフェース

4 2 …R A M

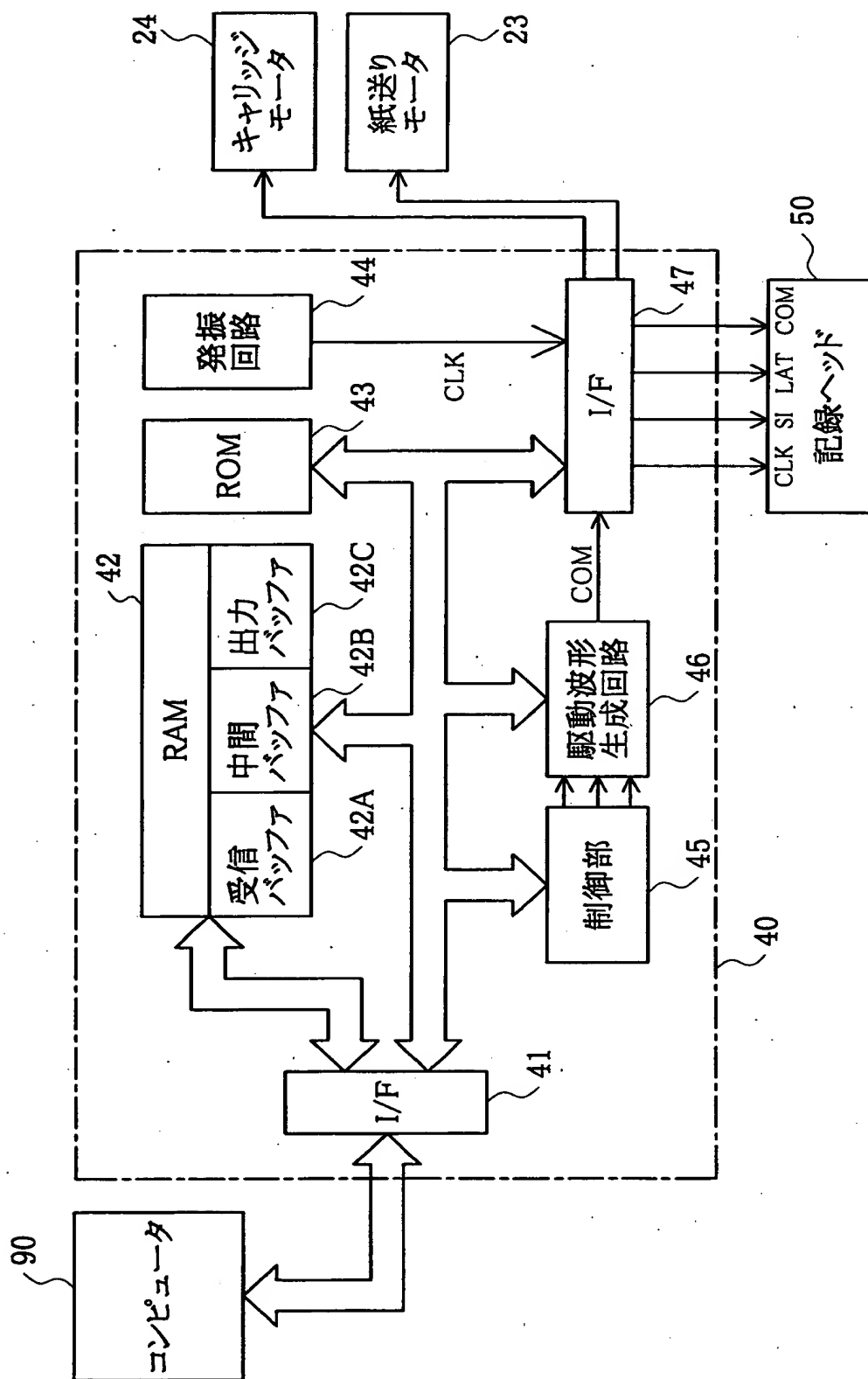
4 2 A …受信バッファ

4 2 B …中間バッファ

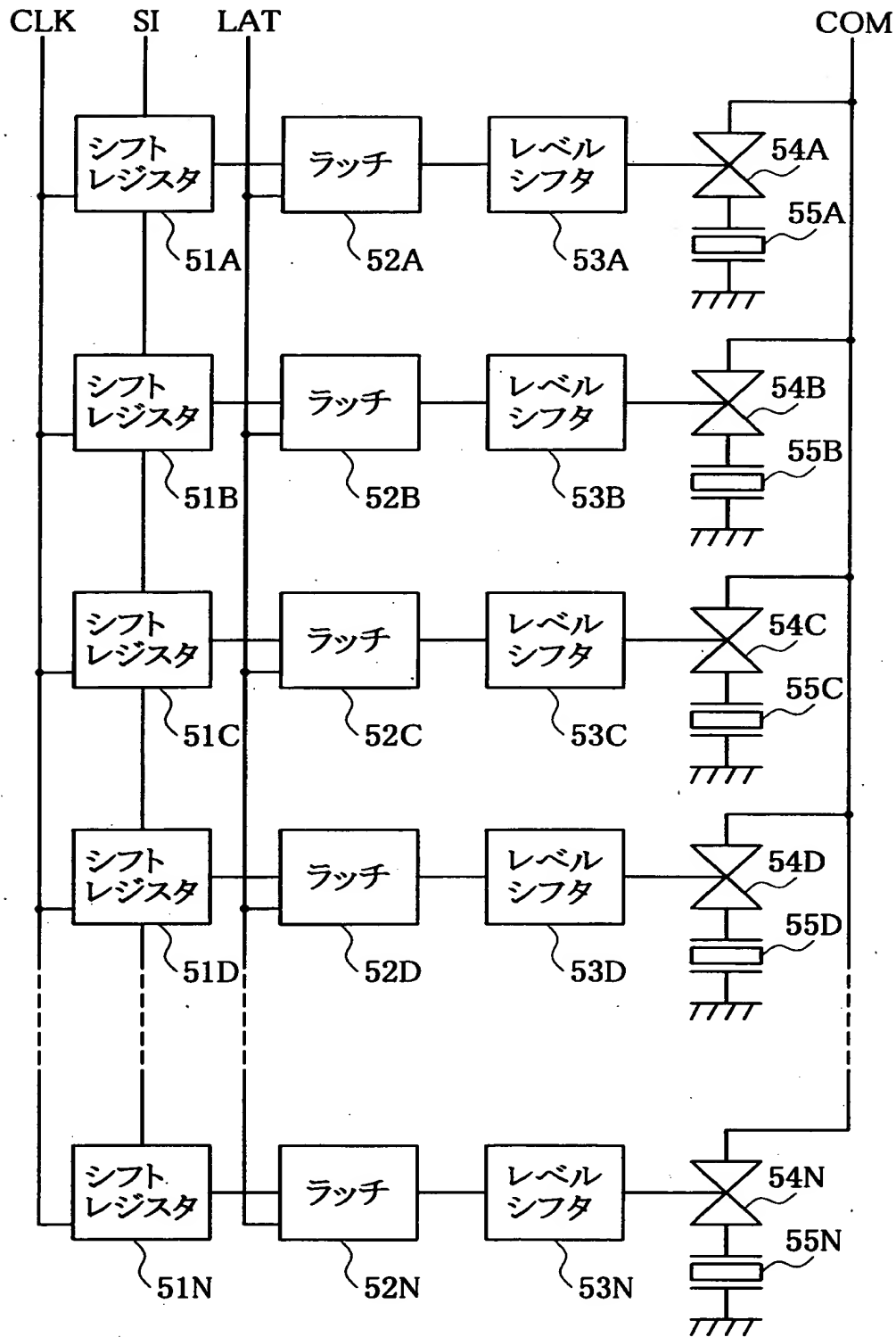
4 2 C …出力バッファ
4 3 …ROM
4 4 …発振回路
4 5 …制御部
4 6 …駆動波形生成回路
5 0 …記録ヘッド
5 1 A ～ 5 1 N …シフトレジスタ
5 2 A ～ 5 2 N …ラッチ回路
5 3 A ～ 5 3 N …レベルシフタ
5 4 A ～ 5 4 N …スイッチ回路
5 5 A ～ 5 5 N …piezo素子
6 0 …メモリ
6 2 …第1ラッチ
6 4 …加算器
6 5 …データレジスタ
6 6 …第2ラッチ
6 7 …セクタ
6 8 …累算部
6 8 a …累算部
7 0 …D/A変換器
7 2 …電圧増幅部
7 4 …電流増幅部
9 0 …コンピュータ
1 0 0 …駆動波形生成回路
1 0 2 …メモリ
1 0 4 …累算部
1 0 6 …D/A変換器

【書類名】 図面

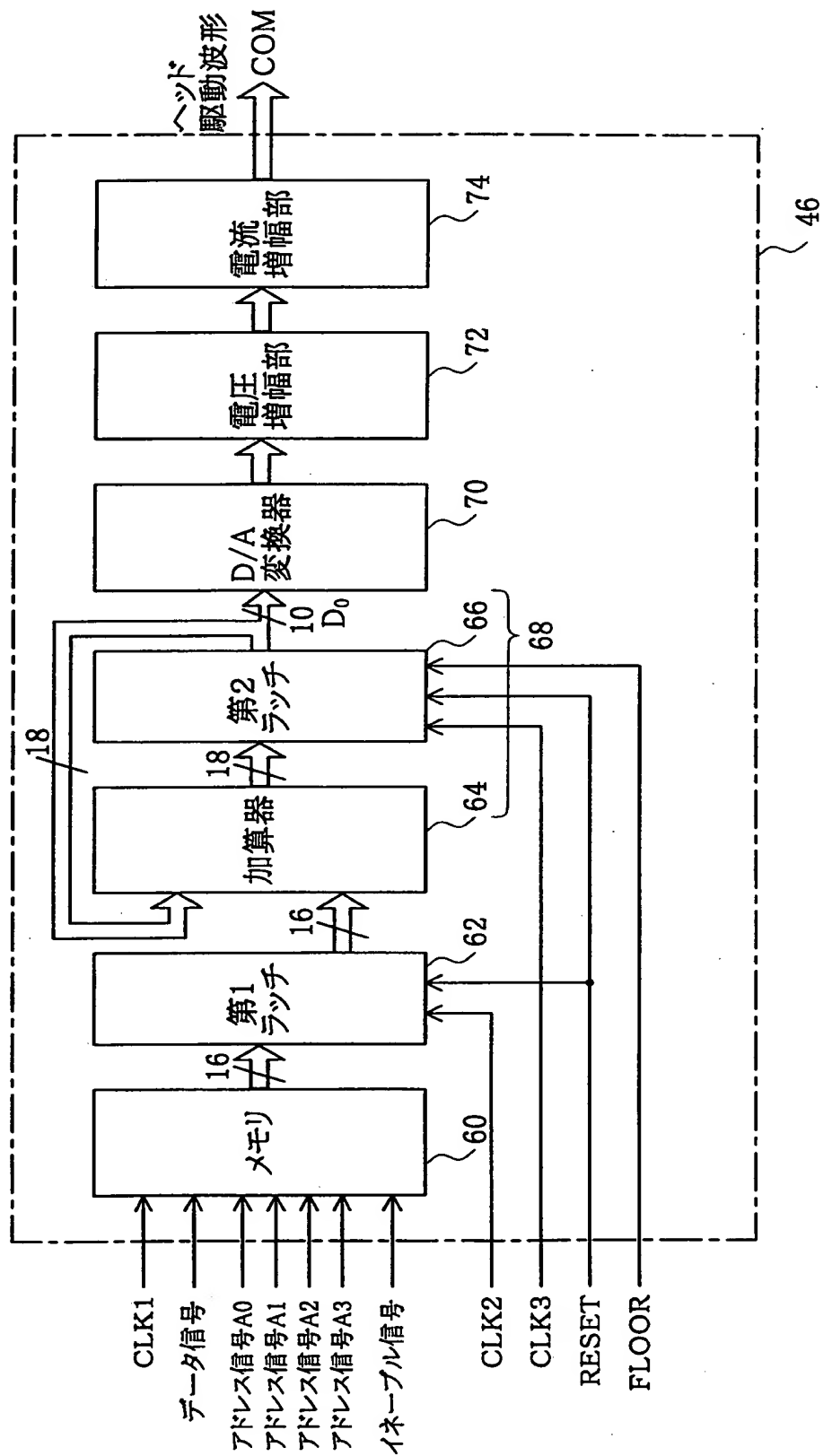
【図 1】



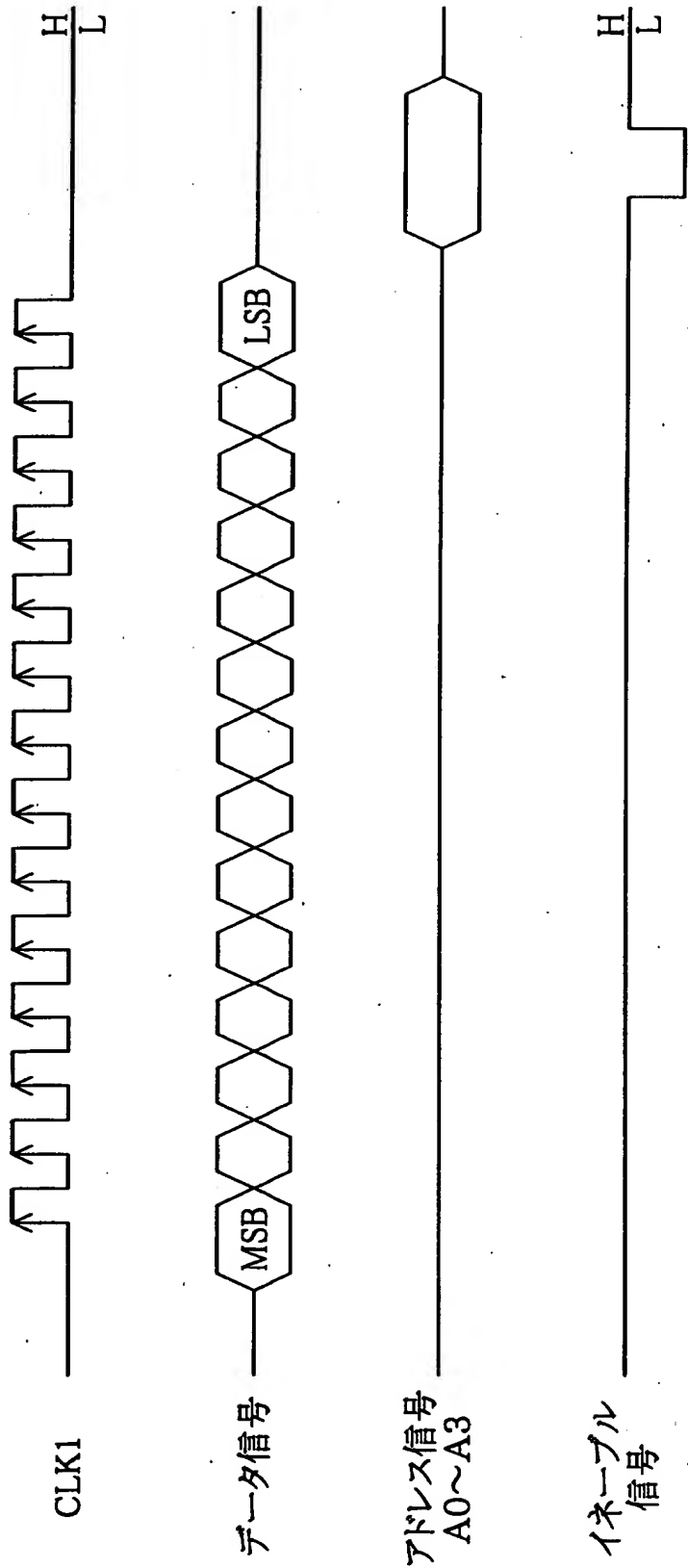
【図 2】



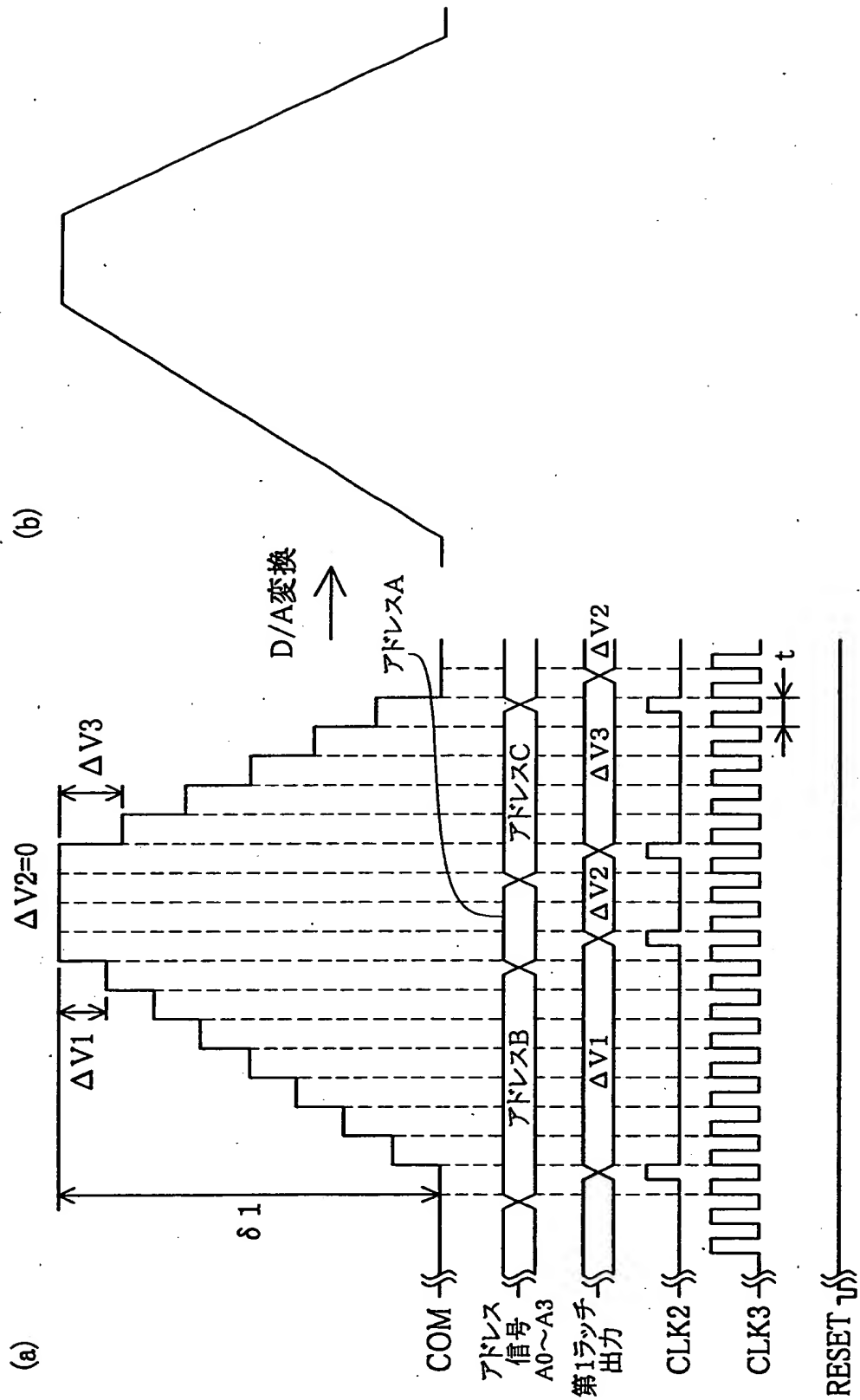
【図 3】



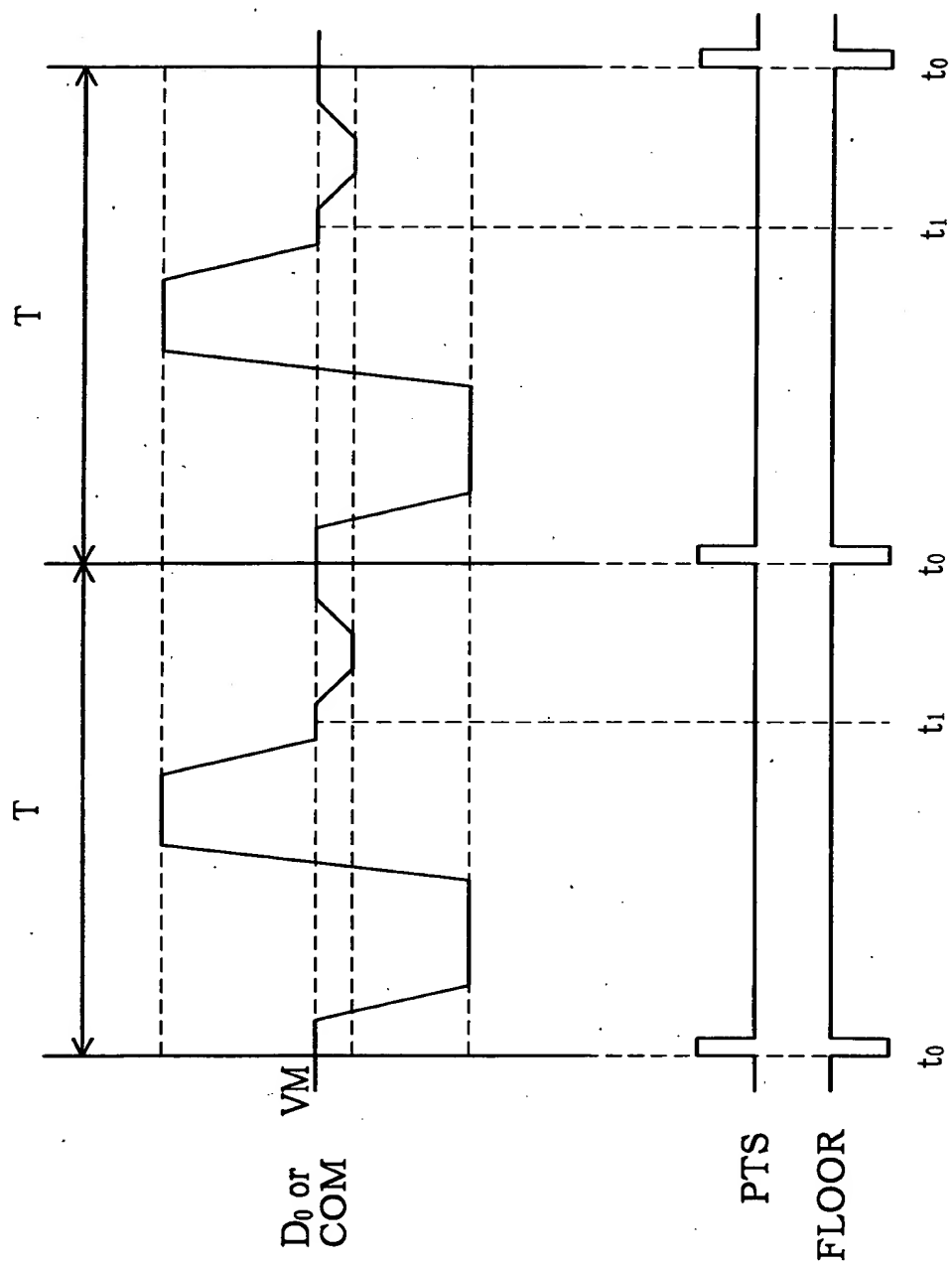
【図 4】



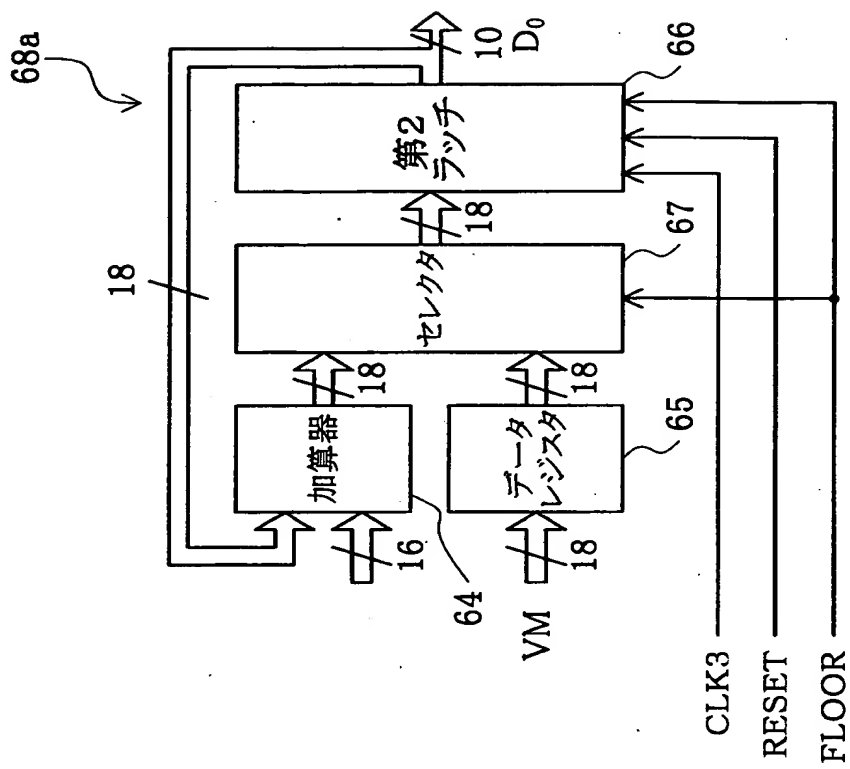
【図 5】



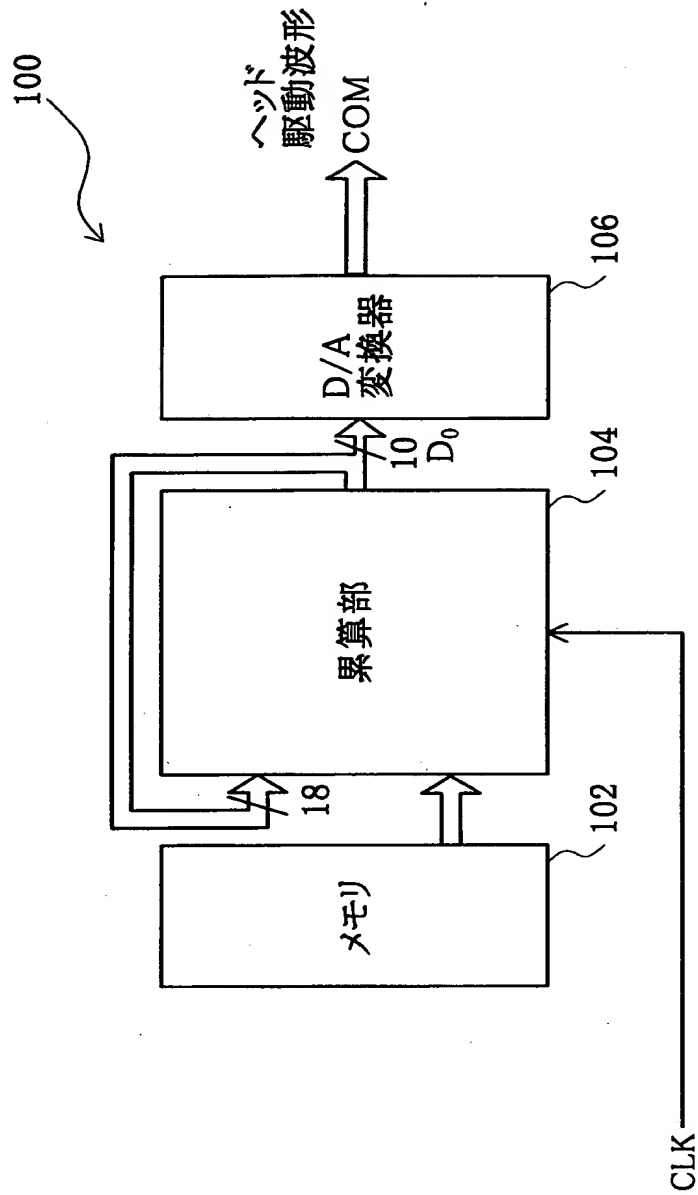
【図6】



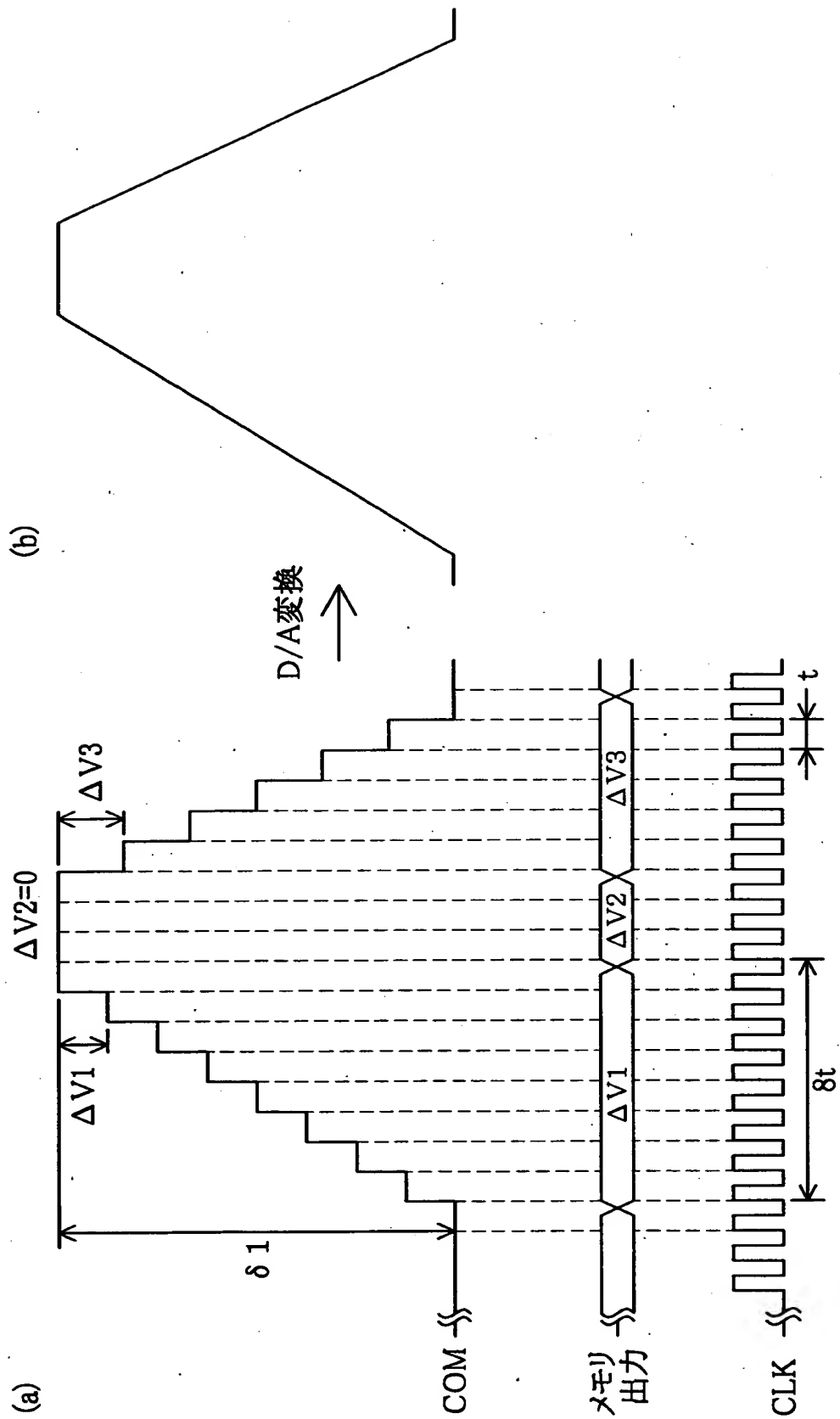
【図 7】



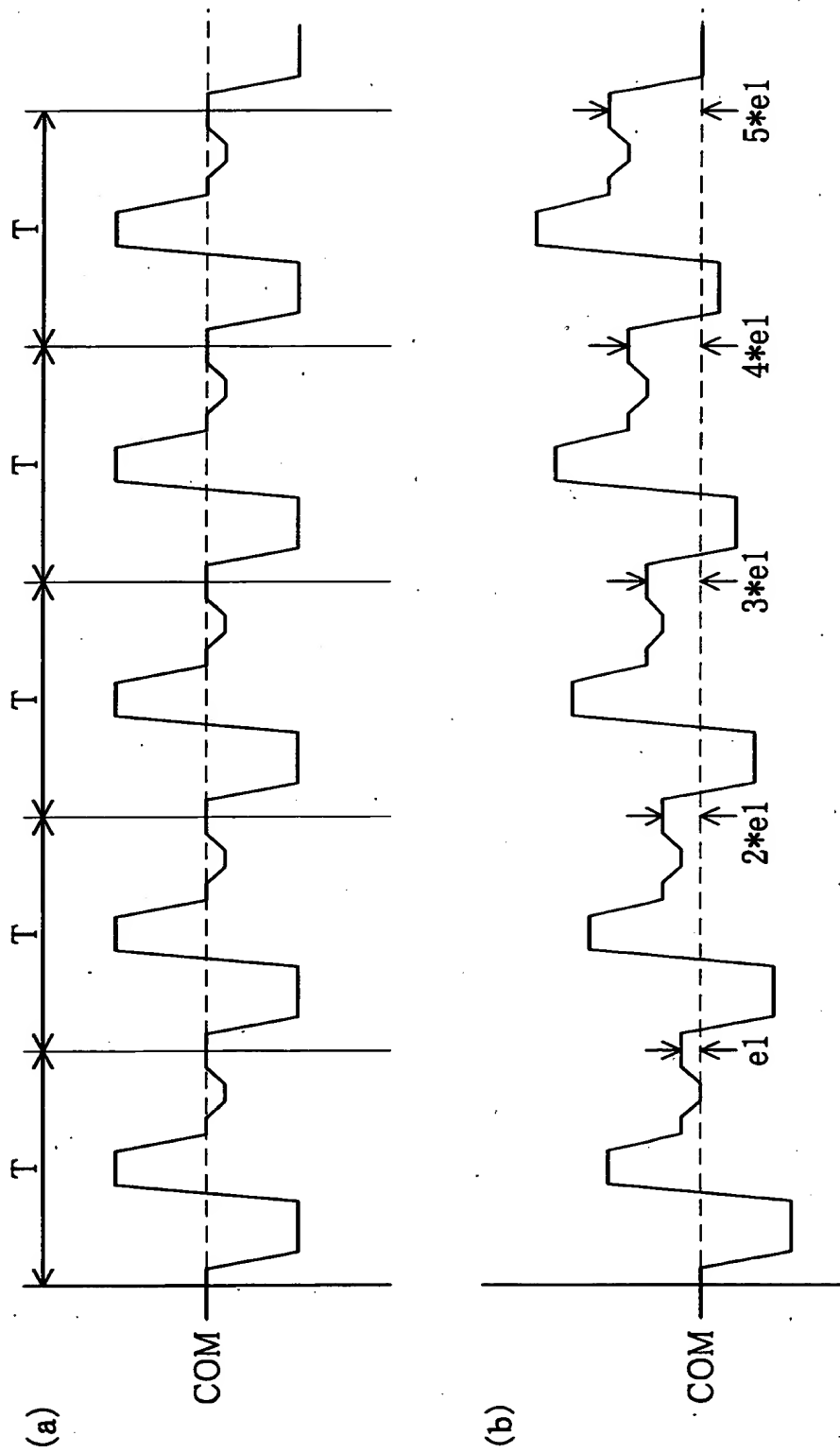
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 印刷ヘッドの駆動素子を駆動させるための駆動波形の生成において、駆動波形データの累積誤差による所望の駆動波形からのずれを防止する。

【解決手段】 駆動波形生成回路の累算部における複数ビットの累算結果を、フロア信号を用いて所定の設定タイミングにおいて特定の上位ビットで表される値がゼロではなく、特定の上位ビット以外の下位ビットがすべてゼロになるような所定の設定値に設定する。この際、特定の上位ビット以外の下位ビットをクリアしてもよい。また、前記所定の設定タイミングは、駆動波形の1周期の始端と終端に相当するタイミングとしてもよい。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000002369]

| | |
|----------|------------------|
| 1. 変更年月日 | 1990年 8月20日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都新宿区西新宿2丁目4番1号 |
| 氏 名 | セイコーエプソン株式会社 |